

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001155433 A

(43) Date of publication of application: 08.06.01

(51) Int. Cl.

G11B 20/10

(21) Application number: 11338869

(22) Date of filing: 30.11.99

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: NAHARA KENJI
TAKAYAMA TAKEYUKI

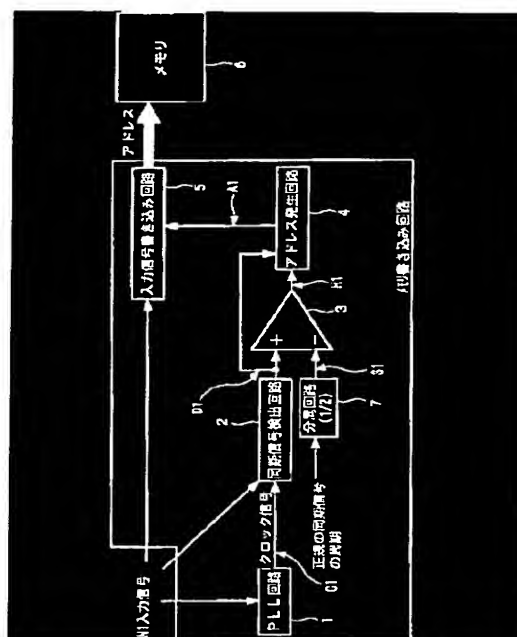
(54) MEMORY WRITE CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a memory write circuit capable of guaranteeing the propriety of written recording data even in the case of interpolating synchronizing signals at the time of an abnormal operation at the time of writing input signal data to a memory.

SOLUTION: Even in the case that normal synchronizing signals D1 based on input signals N1 are inputted after the synchronizing signals interpolated at the time of the abnormal operation, a write address A1 to the memory 6 is normally generated and the data of the input signals N1 are written to the memory 6 corresponding to the normal address A1.

COPYRIGHT: (C)2001,JPO



(11)特許出願公開番号

特開2001-155433

(P2001-155433A)

(43)公開日 平成13年6月8日(2001.6.8)

(51) Int.Cl.⁷

G 1 i B 20/10

識別記号

3 2 1

FI

G 1 1 B 20/10

テ-マ-ト (参考)

3 2 1 Z 5 D 0 4 4

審査請求 未請求 請求項の数6 OL (全 7 頁)

(21)出願番号

特願平11-338869

(22) 出願日

平成11年11月30日(1999.11.30)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 名原 健治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 高山 強之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100068087

弁理士 森本 義弘

Fターム(参考) 5D044 BC02 CC04 DE32 DE38 FG09

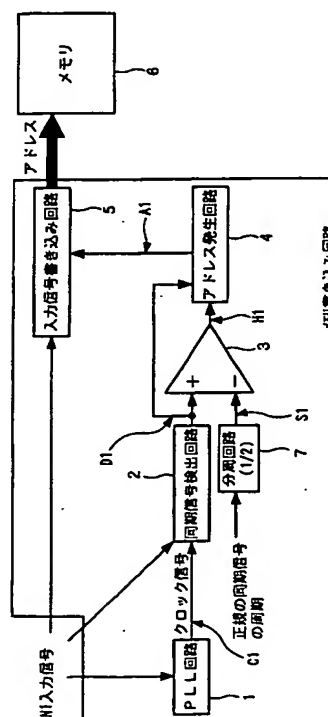
GM12 GM15 GM26 GM27 HH05

(54) 【発明の名称】 メモリ書き込み回路

(57) 【要約】

【課題】 入力信号データのメモリへの書き込みの際に、異常動作時に同期信号を内挿した場合でも、書き込んだ記録データの正当性を保証することができるメモリ書き込み回路を提供する。

【解決手段】 異常動作時に内挿した同期信号のあとに
入力信号N 1に基づく正規の同期信号D 1が入力された
場合にも、メモリ6への書き込みアドレスA 1を正常に
生成し、その正常なアドレスA 1に従って、入力信号N
1のデータをメモリ6に書き込むことを可能とする。



【特許請求の範囲】

【請求項1】 一定周期の同期信号が含まれた入力信号から、その入力信号に位相同期したクロック信号に基づいて前記同期信号を検出する同期信号検出回路と、前記同期信号検出回路からの同期信号の周期と前記入力信号内の同期信号に対して予め決められた正規の周期とを比較する同期信号周期比較回路と、前記同期信号周期比較回路の比較結果により、前記同期信号検出回路からの同期信号に基づいて、前記入力信号のメモリへの書き込みアドレスを発生するアドレス発生回路と、前記書き込みアドレスに対応する前記メモリ内の書き込み位置に前記入力信号のデータを書き込む入力信号書き込み回路とを有し、前記アドレス発生回路を、前記同期信号周期比較回路の比較結果により、前記書き込みアドレスを出力する時にそのアドレスをインクリメントするかどうかを決定するよう構成したことを特徴とするメモリ書き込み回路。

【請求項2】 同期信号周期比較回路で同期信号検出回路からの同期信号の周期と比較する正規の周期を、正規の同期信号に対して予め決められた周期の2分の1としたことを特徴とする請求項1記載のメモリ書き込み回路。

【請求項3】 同期信号周期比較回路で同期信号検出回路からの同期信号の周期と比較する正規の周期を、任意周期の固定クロックを任意の定数で分周して生成した固定周期としたことを特徴とする請求項1記載のメモリ書き込み回路。

【請求項4】 同期信号周期比較回路で同期信号検出回路からの同期信号の周期と比較する正規の周期を、前記同期信号検出回路からの同期信号について任意周期の固定クロックに基づいて測定した周期が2周期以上で同じ場合に、その周期を任意の定数で分周して生成した周期としたことを特徴とする請求項1記載のメモリ書き込み回路。

【請求項5】 同期信号周期比較回路で同期信号検出回路からの同期信号の周期と比較する正規の周期を、クロック信号について任意の一定数のカウント期間としたことを特徴とする請求項1記載のメモリ書き込み回路。

【請求項6】 請求項1から請求項5のいずれかに記載のメモリ書き込み回路を有し、入力信号を記録媒体からの再生信号とし、その再生信号のデータをメモリ内に書き込むよう構成した再生信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば記録メディアからの再生信号等があり予め決められた一定周期の同期信号が含まれた入力信号のデータをメモリに書き込むメモリ書き込み回路に関するものである。

【0002】

【従来の技術】従来から、記録メディアからの情報記録

装置として、例えば、ビデオCDやDVD等の光ディスクなどの記録メディアからの再生信号であり、予め決められた一定周期の同期信号が含まれた入力信号のデータを、メモリに書き込むように構成されたメモリ書き込み回路が、広く利用されている。

【0003】以上のような従来のメモリ書き込み回路について、そのメモリ書き込み回路を有する再生信号処理装置を例に挙げて、以下に説明する。図6は従来のメモリ書き込み回路を有する再生信号処理装置の構成を示すブロック図である。例えば記録メディアなどからの再生信号であり、予め決められた一定周期の同期信号が含まれた入力信号が、PLL回路1に送られ、PLL回路1では入力信号に位相同期した抽出クロック信号を発生する。入力信号とPLL回路1で発生したクロック信号とから、同期信号検出回路2で同期信号が検出される。

【0004】その後、図7に示すように、アドレス発生回路4で同期信号とクロック信号とによりアドレスを発生する。このアドレスに従って入力信号書き込み回路5でメモリ6に入力信号を書き込む。ここでの入力信号は、上述したように、一定の周期の同期信号を含む信号である。しかしながら、例えばCDやCD-ROMのディスクの傷などにより同期信号が欠落している場合がある。また、ディスクの回転速度の高速化により、ディスクから信号を読み取る場合に、同期信号が欠落する場合がある。

【0005】この際には、図8に示すように、データの区間の誤認識が発生するため、通常は、一定の周期のあとに同期信号を内挿して区間の誤認識を防ぐ方法が取られている。この同期信号が記録された入力信号と入力信号に位相同期したクロック信号とにより、メモリ内の記録アドレスを生成しメモリに入力信号を書き込むように構成している。

【0006】

【発明が解決しようとする課題】しかしながら上記のような従来のメモリ書き込み回路では、図8に示すように、異常動作時に内挿した同期信号のあとに入力信号に基づく正規の同期信号が入力された場合には、メモリへの書き込みアドレスが正常に生成されず、入力信号データはメモリに正しく書き込まれない場合がある。

【0007】すなわち、通常の場合には、フレーム同期信号は一定周期で入力されるが、異常動作の際には、同期信号を内挿することにより、その内挿同期信号と異常同期信号とにより、フレームアドレスが誤カウントされて、以降にメモリへ書き込まれた入力信号データがおかしくなる。そのため、入力信号データのメモリへの書き込みの際に、異常動作時に同期信号を内挿した場合には、書き込んだ記録データの正当性を保証することができないという問題点を有していた。

【0008】本発明は、上記従来の問題点を解決するもので、入力信号データのメモリへの書き込みの際に、異

常動作時に同期信号を内挿した場合でも、書き込んだ記録データの正当性を保証することができるメモリ書き込み回路を提供する。

【0009】

【課題を解決するための手段】上記の課題を解決するために本発明のメモリ書き込み回路は、異常動作時に内挿した同期信号のあとに入力信号に基づく正規の同期信号が入力された場合にも、メモリへの書き込みアドレスを正常に生成し、その正常なアドレスに従って、入力信号のデータをメモリに書き込むことを特徴とする。

【0010】以上により、入力信号データのメモリへの書き込みの際に、異常動作時に同期信号を内挿した場合でも、その入力信号データを正しいアドレスで正確にメモリ内に書き込んで異常データを上書きすることができ、書き込んだ記録データの正当性を保証することができる。

【0011】

【発明の実施の形態】本発明の請求項1に記載のメモリ書き込み回路は、一定周期の同期信号が含まれた入力信号から、その入力信号に位相同期したクロック信号に基づいて前記同期信号を検出する同期信号検出回路と、前記同期信号検出回路からの同期信号の周期と前記入力信号内の同期信号に対して予め決められた正規の周期とを比較する同期信号周期比較回路と、前記同期信号周期比較回路の比較結果により、前記同期信号検出回路からの同期信号に基づいて、前記入力信号のメモリへの書き込みアドレスを発生するアドレス発生回路と、前記書き込みアドレスに対応する前記メモリ内の書き込み位置に前記入力信号のデータを書き込む入力信号書き込み回路とを有し、前記アドレス発生回路を、前記同期信号周期比較回路の比較結果により、前記書き込みアドレスを出力する時にそのアドレスをインクリメントするかどうかを決定するよう構成する。

【0012】請求項2に記載のメモリ書き込み回路は、請求項1記載の同期信号周期比較回路で同期信号検出回路からの同期信号の周期と比較する正規の周期を、正規の同期信号に対して予め決められた周期の2分の1とした構成とする。請求項3に記載のメモリ書き込み回路は、請求項1記載の同期信号周期比較回路で同期信号検出回路からの同期信号の周期と比較する正規の周期を、任意周期の固定クロックを任意の定数で分周して生成した固定周期とした構成とする。

【0013】請求項4に記載のメモリ書き込み回路は、請求項1記載の同期信号周期比較回路で同期信号検出回路からの同期信号の周期と比較する正規の周期を、前記同期信号検出回路からの同期信号について任意周期の固定クロックに基づいて測定した周期が2周期以上で同じ場合に、その周期を任意の定数で分周して生成した周期とした構成とする。

【0014】請求項5に記載のメモリ書き込み回路は、

請求項1記載の同期信号周期比較回路で同期信号検出回路からの同期信号の周期と比較する正規の周期を、クロック信号について任意の一定数のカウント期間とした構成とする。請求項6に記載の再生信号処理装置は、請求項1から請求項5のいずれかに記載のメモリ書き込み回路を有し、入力信号を記録媒体からの再生信号とし、その再生信号のデータをメモリ内に書き込むよう構成する。

【0015】これらの構成によると、異常動作時に内挿した同期信号のあとに入力信号に基づく正規の同期信号が入力された場合にも、メモリへの書き込みアドレスを正常に生成し、その正常なアドレスに従って、入力信号のデータをメモリに書き込むことを可能とする。以下、本発明の実施の形態を示すメモリ書き込み回路について、図面を参照しながら具体的に説明する。

（実施の形態1）本発明の実施の形態1のメモリ書き込み回路を説明する。

【0016】図1は本実施の形態1のメモリ書き込み回路の構成を示すブロック図である。図1において、あらかじめ決められた一定周期の同期信号が含まれた入力信号N1がPLL回路1に送られ、PLL回路1では入力信号N1に位相同期した抽出クロック信号C1を発生する。入力信号N1とPLL回路1で発生したクロック信号C1とから同期信号検出回路2で同期信号D1が検出される。同期信号検出回路2で検出された同期信号D1の周期と、入力信号N1によりあらかじめ決められた正規の同期信号の周期を分周回路7で2分の1とした正規の周期S1とを、同期信号周期比較回路3で比較する。その後、アドレス発生回路4で、同期信号D1と同期信号周期比較回路3での比較結果H1とにより、書き込みアドレスA1を発生する。

【0017】ここで、アドレス発生回路4では、同期信号周期比較回路3での比較結果H1において同期信号D1の周期が正規の同期信号に基づく正規の周期S1より短い場合は、図2に示すように、次の周期のアドレスA1をインクリメントしないようにする。そしてこのアドレスA1に従って、入力信号書き込み回路5でメモリ6に入力信号N1を書き込む。

【0018】従って、同期信号周期比較回路3での比較結果H1において同期信号D1の周期が正規の同期信号に基づく正規の周期S1により短い場合には、アドレス発生回路4は前回のアドレスA1を出力し、そのアドレスA1に対応するメモリ6の記録位置に次の周期の入力信号N1が入力信号書き込み回路5により書き込まれることになる。

【0019】この実施の形態1による発明の長所は、分周回路7を2分の1分周とすることで、簡単な回路構成で、上記のように動作させることができることである。

（実施の形態2）本発明の実施の形態2のメモリ書き込み回路を説明する。図1は本実施の形態2のメモリ書き

込み回路の構成を示すブロック図である。図3において、あらかじめ決められた一定周期の同期信号が含まれた入力信号N2がPLL回路1に送られ、PLL回路1では入力信号N2に位相同期した抽出クロック信号C2を発生する。入力信号N2とPLL回路1で発生したクロック信号C2とから同期信号検出回路2で同期信号D2が検出される。同期信号検出回路2で検出された同期信号D2の周期と、入力信号N1によりあらかじめ決められた任意の周期の固定クロックなどを分周回路7でN(任意の整数)分の1とした正規の周期S2とを、同期信号周期比較回路3で比較する。その後、アドレス発生回路4で、同期信号D2と同期信号周期比較回路3での比較結果H2とにより、書き込みアドレスA2を発生する。

【0020】ここで、アドレス発生回路4では、同期信号周期比較回路3での比較結果H2において同期信号D2の周期が固定クロックなどに基づく正規の周期S2より短い場合は、図2に示すように、次の周期のアドレスA2をインクリメントしないようにする。そしてこのアドレスA2に従って、入力信号書き込み回路5でメモリ6に入力信号N2を書き込む。

【0021】従って、同期信号周期比較回路3での比較結果H2において同期信号D2の周期が固定クロックなどに基づく正規の周期S2により短い場合には、アドレス発生回路4は前回のアドレスA2を出力し、そのアドレスA2に対応するメモリ6の記録位置に次の周期の入力信号N2が入力信号書き込み回路5により書き込まれることになる。

【0022】この実施の形態2による発明の長所は、分周回路7をN分の1分周する回路構成とすることで、同期信号の周期などにおいてさまざまな条件の入力信号に対応させることができることである。

(実施の形態3) 本発明の実施の形態3のメモリ書き込み回路を説明する。

【0023】図4は本実施の形態3のメモリ書き込み回路の構成を示すブロック図である。図4において、あらかじめ決められた一定周期の同期信号が含まれた入力信号N3がPLL回路1に送られ、PLL回路1では入力信号N3に同期した抽出クロック信号C3を発生する。入力信号N3とPLL回路1で発生したクロック信号C3とから同期信号検出回路2で同期信号D3が検出される。一方、正規周期発生回路8で、同期信号検出回路2からの同期信号D3の周期を任意周期の固定クロックを基準にして測定し、測定した周期において例えば2つ前の周期と1つ前の周期が同じ場合に、その周期を分周回路7でM(任意の整数)分の1して正規の周期S3とする。この正規の周期S3と、同期信号検出回路2で検出された同期信号D3の周期とを、同期信号周期比較回路3で比較する。その後、アドレス発生回路4で、同期信号D3と同期信号周期比較回路3での比較結果H3とに

より、書き込みアドレスA3を発生する。

【0024】ここで、アドレス発生回路4では、同期信号周期比較回路3での比較結果H3において同期信号D3の周期が正規の周期S3より短い場合は、図2に示すように、次の周期のアドレスA3をインクリメントしないようにする。そしてこのアドレスA3に従って、入力信号書き込み回路5でメモリ6に入力信号N3を書き込む。

【0025】従って、同期信号周期比較回路3での比較結果H3において同期信号D3の周期が正規の周期S3により短い場合には、アドレス発生回路4は前回のアドレスA3を出力し、そのアドレスA3に対応するメモリ6の記録位置に次の周期の入力信号N3が入力信号書き込み回路5により書き込まれることになる。この実施の形態3による発明の長所は、同期信号検出回路2からの同期信号D3の周期が例えば2つ前の周期と1つ前の周期が同じ場合に、その周期を正規の周期S3とすることで、任意の記録メディアに対して、同じ回路構成で対応することができることである。

(実施の形態4) 本発明の実施の形態4のメモリ書き込み回路を説明する。

【0026】図5は本実施の形態4のメモリ書き込み回路の構成を示すブロック図である。図5において、あらかじめ決められた一定周期の同期信号が含まれた入力信号N4がPLL回路1に送られ、PLL回路1では入力信号N4に位相同期した抽出クロック信号C4を発生する。入力信号N4とPLL回路1で発生したクロック信号C4とから同期信号検出回路2で同期信号D4が検出される。同期信号検出回路2で検出された同期信号D4の周期と、PLL回路1で発生したクロック信号C4をカウンタ回路9でL(任意の整数)カウントしたときのカウンタ期間である正規の周期S4とを、同期信号周期比較回路3で比較する。その後、アドレス発生回路4で、同期信号D4と同期信号周期比較回路3での比較結果H4とにより、書き込みアドレスA4を発生する。

【0027】ここで、アドレス発生回路4では、同期信号周期比較回路3での比較結果H4において同期信号D4の周期がクロック信号C4に基づく正規の周期S4より短い場合は、図2に示すように、次の周期のアドレスA4をインクリメントしないようにする。そしてこのアドレスA4に従って、入力信号書き込み回路5でメモリ6に入力信号N4を書き込む。

【0028】従って、同期信号周期比較回路3での比較結果H4において同期信号D4の周期がクロック信号C4に基づく正規の周期S4より短い場合には、アドレス発生回路4は前回のアドレスA4を出力し、そのアドレスA4に対応するメモリ6の記録位置に次の周期の入力信号N4が入力信号書き込み回路5により書き込まれることになる。

【0029】この実施の形態4による発明の長所は、カ

ウンタ回路9で、PLL回路1で発生したクロック信号C4をカウントすることにより、記録メディアからの入力信号N4の周期に応じた設定ができることである。なお、上記の各実施の形態のメモリ書き込み回路を用いて再生信号処理装置を構成し、ビデオCDやDVD等の光ディスクなどの記録メディアからの再生信号を入力信号とし、その再生信号のデータを例えば再生信号処理装置内に設けたメモリ内に書き込むように構成することもでき、各実施の形態のメモリ書き込み回路と同様の効果が得られる。

【0030】

【発明の効果】 以上のように本発明によれば、異常動作時に内挿した同期信号のあとに入力信号に基づく正規の同期信号が入力された場合にも、メモリへの書き込みアドレスを正常に生成し、その正常なアドレスに従って、入力信号のデータをメモリに書き込むことができる。

【0031】 そのため、入力信号データのメモリへの書き込みの際に、異常動作時に同期信号を内挿した場合でも、その入力信号データを正しいアドレスで正確にメモリ内に書き込んで異常データを上書きすることができ、書き込んだ記録データの正当性を保証することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1のメモリ書き込み回路の構成を示すブロック図

10

【図2】 同実施の形態1におけるメモリ書き込み動作を示すタイミングチャート

【図3】 本発明の実施の形態2のメモリ書き込み回路の構成を示すブロック図

【図4】 本発明の実施の形態3のメモリ書き込み回路の構成を示すブロック図

【図5】 本発明の実施の形態4のメモリ書き込み回路の構成を示すブロック図

【図6】 従来のメモリ書き込み回路の構成を示すブロック図

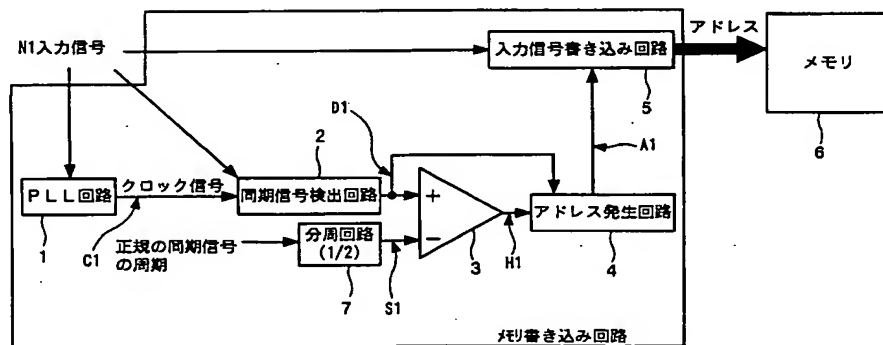
【図7】 同従来例における正しい同期信号入力時のメモリ書き込み動作を示すタイミングチャート

【図8】 同従来例における誤った同期信号入力時のメモリ書き込み動作を示すタイミングチャート

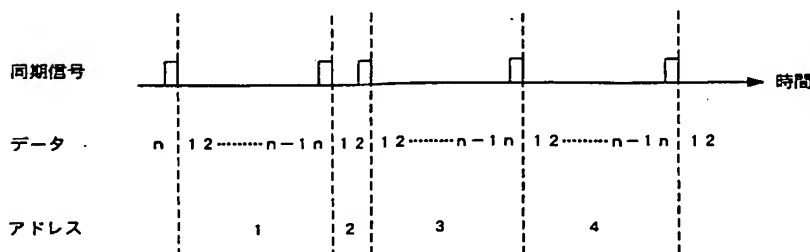
【符号の説明】

- 1 PLL回路
- 2 同期信号検出回路
- 3 同期信号周期比較回路
- 4 アドレス発生回路
- 5 入力信号書き込み回路
- 6 メモリ
- 7 分周回路
- 8 正規周期発生回路
- 9 カウンタ回路

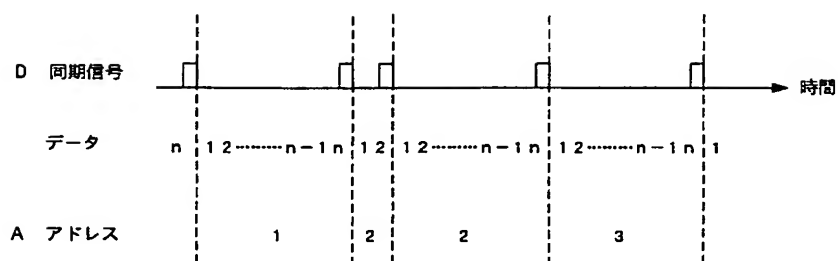
【図1】



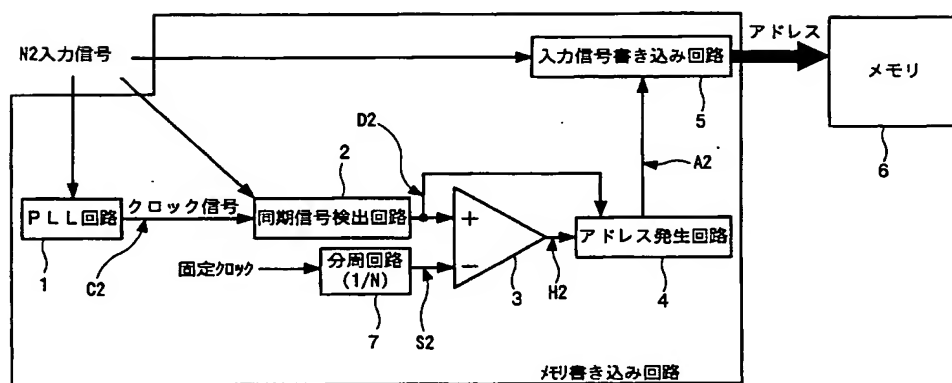
【図8】



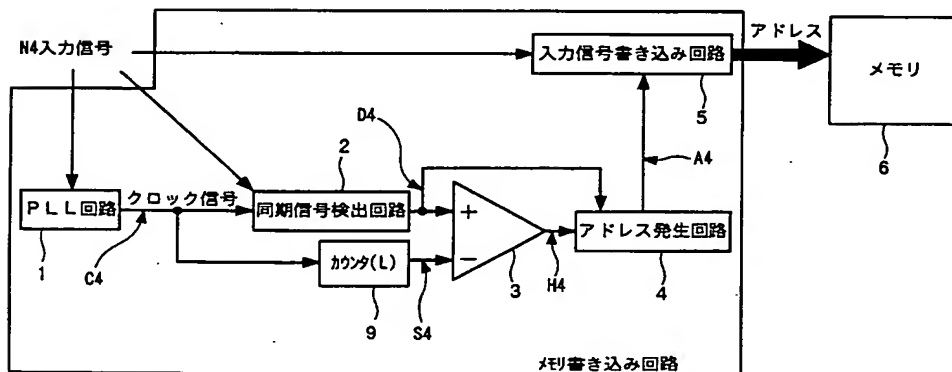
【図2】



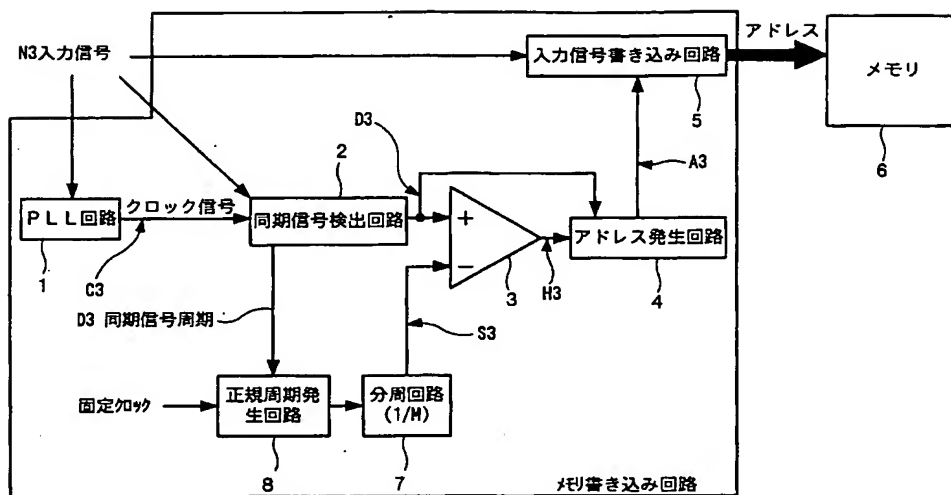
【図3】



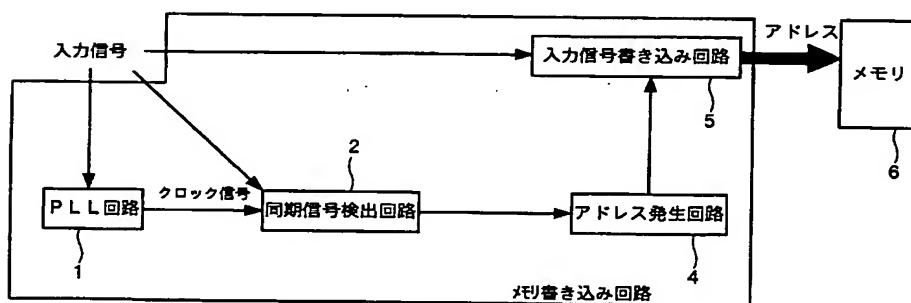
【図5】



【図 4】



【図 6】



【図 7】

